**Ergebnisse der Tests mit 1. MAPS Konnektorboxprototyp**

# 23.8.2023 Lukas Braisz, Carsten Müller, Harald Bräuning

***Trafosignal:***

* abhängig vom Meßbereich ist in der Software kein Signal zu sehen bzw. es zeigt alle Anzeichen einer völligen Übersteuerung. Messungen am Ausgang der Konnektorbox zeigten einen hohen DC Offset (>2V) auf dem differentiellen Signal

◦ *Ursache:* Fehler Layout auf Platine MDR-IO, falscher Pegel an IC U36-U43 (AD813~~1~~2ARZ).

Für das ursprüngliche Trafosignal aus der Kopfelektronik, als Ursprung, entnimmt man zunächst Folgendes gemäß dem Manual zur Kopfelektronik von H.J. Reeg:

Tab.0):



Die Formulierung ist hier unklar bzw. fälschlich: Für die beiden komplementären Halbsignale gilt, dass sie eine Amplitude von 1V nach oben bzw. -1V nach unten haben. Für die Differenz beider Halbsignale, also das differentielle Signal, gilt dann eine doppelte Amplitude von +/-2V! (Steht auch bei den Digit.)

Für den TAMC532-ADC selbst gilt:



Das heißt: Das Differenzsignal am ADC darf einen max. Hub nach +1V oder aber nach -1V nicht überschreiten.

|  |  |
| --- | --- |
|  | Die Trafosignale werden dem ADC aber nicht direkt, sondern über ein Modul zur Signalkonditionierung in abgespeckter Form zugeführt: Am Eingangsbuffer können Verstärk-ungen in Stufen Faktor 1, 2, 5 und 10 gewählt werden.Der Ausgangsbuffer reduziert das Signal um den Faktor 0.4.(Ggf. kann mit Basislineshift das Signal in den rein positiven oder negativen Bereich geschoben werden.) |

Der relevante Schaltungsteil auf dem MDR-IO ist:

|  |  |
| --- | --- |
| Abb. 1)Ein Bild, das Text, Diagramm, Plan, parallel enthält.  Automatisch generierte Beschreibung | Im Schaltungsteil unten links läuft das Trafosignal für Trafo „4“ ein an U39! (U28 ist auf dieser Karte nicht bestückt.)Der bestückte Baustein AD8132ARZ hat kein internes Feedback und die gewünschte Verstärkung wird durch die Eingangswiderstände RG = R101/R102 und RF bestimmt:GOut,DM = RF / RG RG != 340Ω = RF fehlt! Daher RF = ∞ und GOut,DM = ∞ !Der Baustein treibt mit 50 Ω über die Widerstände R71/R73, da der ADC so auch abschließt.Der Schaltungsteil für die digitalen Signale (0V oder 5V) „Rahmen- und Klemmpuls“ ist kann genutzt werden, wenn die single-ended zugeführten Signale mit nur 5,6 Ω abgeschlossen werden, dann fällt dort nach 50Ω Treiber nur 0,5V ab. Die Verstärkung ist 2 nach Figure 7 page 16 des Datenblattes, das ergibt die maximal erlaubten 1V! |

Im Layout war gewollt die Eingangsspannung „VOCM“ zu +2,5V gewählt worden mittels des Spannungsteilers aus R52/R53. Dies legt die Mittenspannung des Ausgangs auch auf 2,5V. Um diesen Wert liegt das differentielle Ausgangssignal mit [+4,5V; -0,5V] symmetrisch. Da der ADC zwischen seinen beiden Eingängen die Differenz bildet, wird somit die Common Mode Voltage wieder entfernt. Dies hat den Sinn, die Digitalisierung entfernt vom Platinen-GND mit einem gewissen Rauschen erfolgen zu lassen. Setzt man aber in R53 einen Nullohmwiderstand ein, wäre die Common-Mode Voltage für den ADC wieder 0V.

**Der ADC direkt ist überfordert mit den Halbsignalen des Trafos:** die haben einen Hub von +1V an „Out+“ und einen Hub von -1V an „Out-“ und damit einem differentiellen Hub von 2V! Nur der 100mA-Messbereich ginge, da dort die Skalierung des Aus-gangssignales Kopfelektronik verschieden ist! Also müsste der der Verstärkungsfaktor der Halbsignal und damit auch der Der differentiellen Verstärkung halbiert werden, also RF = 340/2 Ω = 170 Ω gewählt werden. Diese Widerstände könnten als Drahtwiderstand auch ins existierende Layout nachgetragen werden.

***Rahmenpuls:***

* das Rahmenpulssignal war nicht sichtbar im ADC

◦ *Ursache:* siehe oben - fehlerhaftes Layout auf Platine MDR-IO ebenfalls falscher Pegel an IC U25-U28 (AD813~~1~~2ARZ): Mit VCCM auf 0V verschwindet ein Teil des Problems. Siehe Bemerkung zu Abb 1 weiter oben)!

Der Rahmenpuls muss von Single Ended TTL-Pegel +5V auf +1V durch einen Widerstandsteiler heruntergeteilt werden und dann so dem differentiellen 50Ω-Treiber zu geführt werden.

***Klemmpuls:***

* der Klemmpuls wurde nicht von LVTTL nach CMOS gewandelt

◦ für die ersten weiteren Tests wurde eine Drahtbrücke von Carsten gelötet, die das Problem für einen Kanal behob

◦ *Lösung:* Am 17.08.23 bereits neues Platinenlayout in die Fertigung gegeben, da Fehler in Schaltplan SubDBack-V1 (korrigiert in SubDback V2, Signal war falsch benannt: Eingang und Ausgang Pegelwandler zusammengeschaltet).

***Meßbereichschaltung:***

* mittels einer LED Anzeige konnte die Ansteuerung der Meßbereiche auf Seite der Software erfolgreich getestet werden

◦ es wurden alle 8 Kanäle eines Einschubs der Konnektorbox getestet

◦ dies entspricht einer funktionalen Einheit sowohl der Konnektorbox (1 Einschub) als auch der Datenaufnahme (1 I/O Modul), so dass für weitere Kanäle ebenfalls keine Probleme zu erwarten sind

* direkte Messungen am Ausgang des Kopfverstärkers ergaben, dass diese Meßbereiche auch geschaltet werden

***Monitoring:***

* Folgende Bits wurden ausgelesen:

◦ Versorgungssp. +15V Modul – gesetzt (High active!)

◦ Versorgungssp. +/-5V Modul – gesetzt (High active!)

◦ Versorgungssp. +3,3V Modul – nicht gesetzt (Draht von Knoten zwischen R41 und R54 an Via nahe C17!)

◦ Versorgungssp. -15V Modul – nicht gesetzt (Low active - Bit invertieren und Draht wie oben!)

◦ Trafo x angeschl./präsent – nicht gesetzt (Stichprobe von 3 angeschlossenen Kanälen) (Messwiderstand geringfügig erhöhen in Versorgungsleitung: OPA verstärkt Differenzspannung, die aber max. 3,3V als LVTTL haben darf)

◦ Entklemmt (Kl-no) – gesetzt

◦ *Ursache* für nicht-gesetzte Bits noch nicht vollständig geklärt