



Implementation des SIS18 BPM Designs

Vortrag zum SD-Gruppenseminar
am 14.01.10

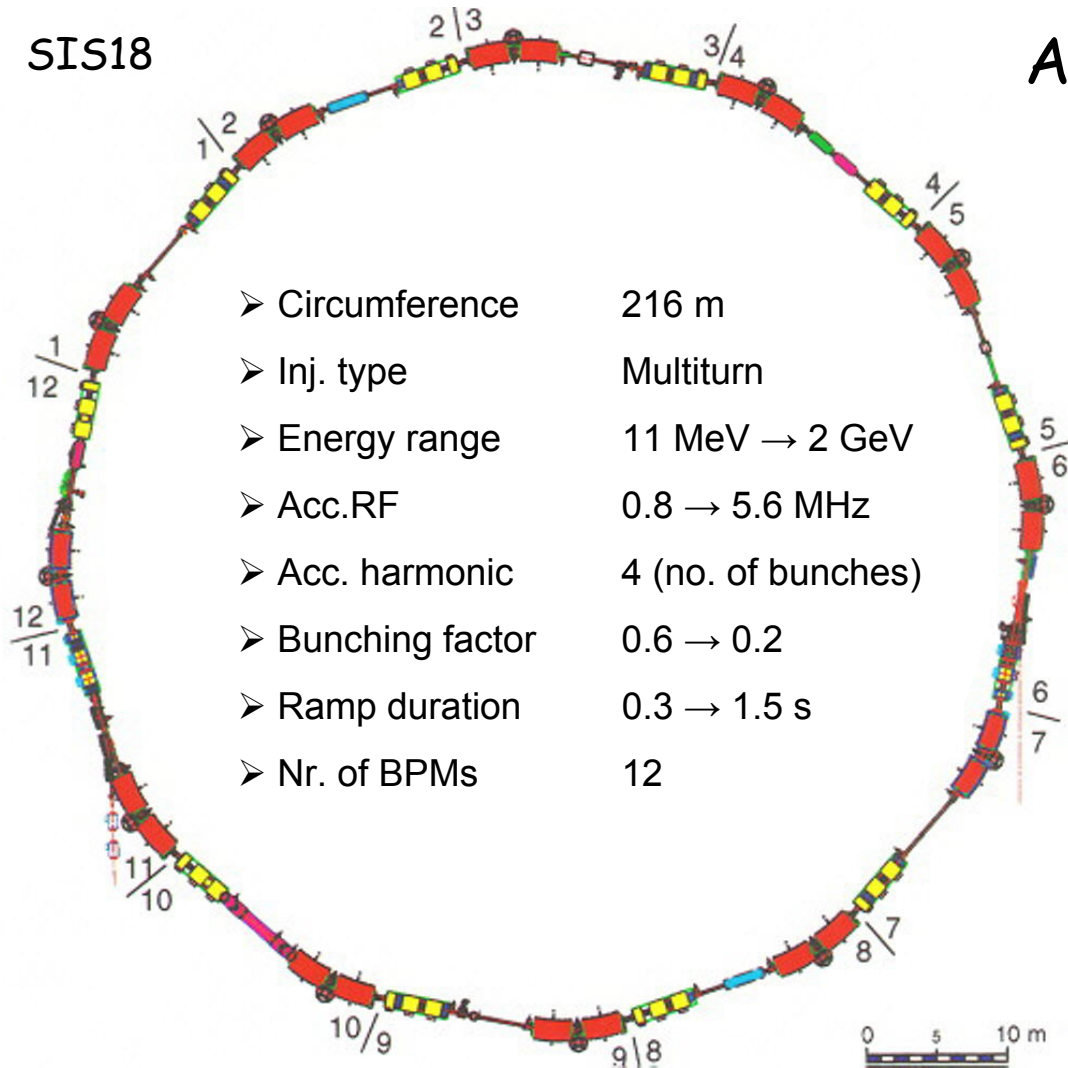
Von Kevin Lang

Überblick

- Upgrade des BPM System am SIS18
 - Sonden und Elektronik
 - Was wird ersetzt, bzw. kommt neu dazu
- Libera Inside
 - Aufbau und IOs
 - Digital Board
- Xilinx Virtex II Pro XC2VP30
 - Was ist eigentlich ein FPGA?
 - Aufbau
 - Vorteile und Nachteile
 - Wie wird er programmiert
- GSI BPM FPGA Design
 - Algorithmen (Fenstererkennung, BLR, Timestamps)
- Neue GUI
 - Vergleichsmessung mit POSI am Strahl

Upgrade des BPM System am SIS18

SIS18



Anforderungen:

- Messen und Anzeigen von:
 - Closed Orbit
 - Turn By Turn
 - Bunch 2 Bunch
 - Tune
 - Rohdaten
- Auflösung 0.1 mm

Sonden und Elektronik

Position: S3, U443, HTA S10, 208 PB 67+, 169.000 MeV/u

Mrz 07 11:16:09 SuperZyklus <-- --> 11 0 8 10

Soll-Delay: 10.000 ms, Rampenlänge: 466.00 ms, Flattoplänge: 1165.00 ms

radial (Rechteck) | vertikal (Raute) | kalibriert | Start Messung 11:16:24

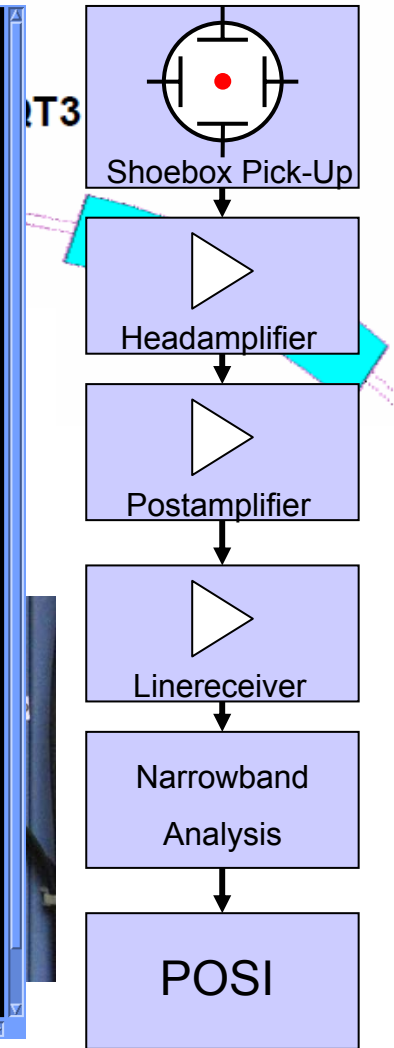
100 [mm] vs [DX] graph (S01-S11)

50-S/W [dB] vs [ms] graph (63-275)

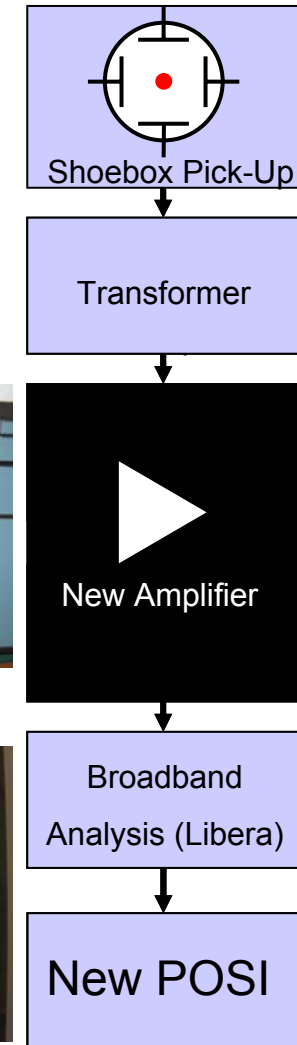
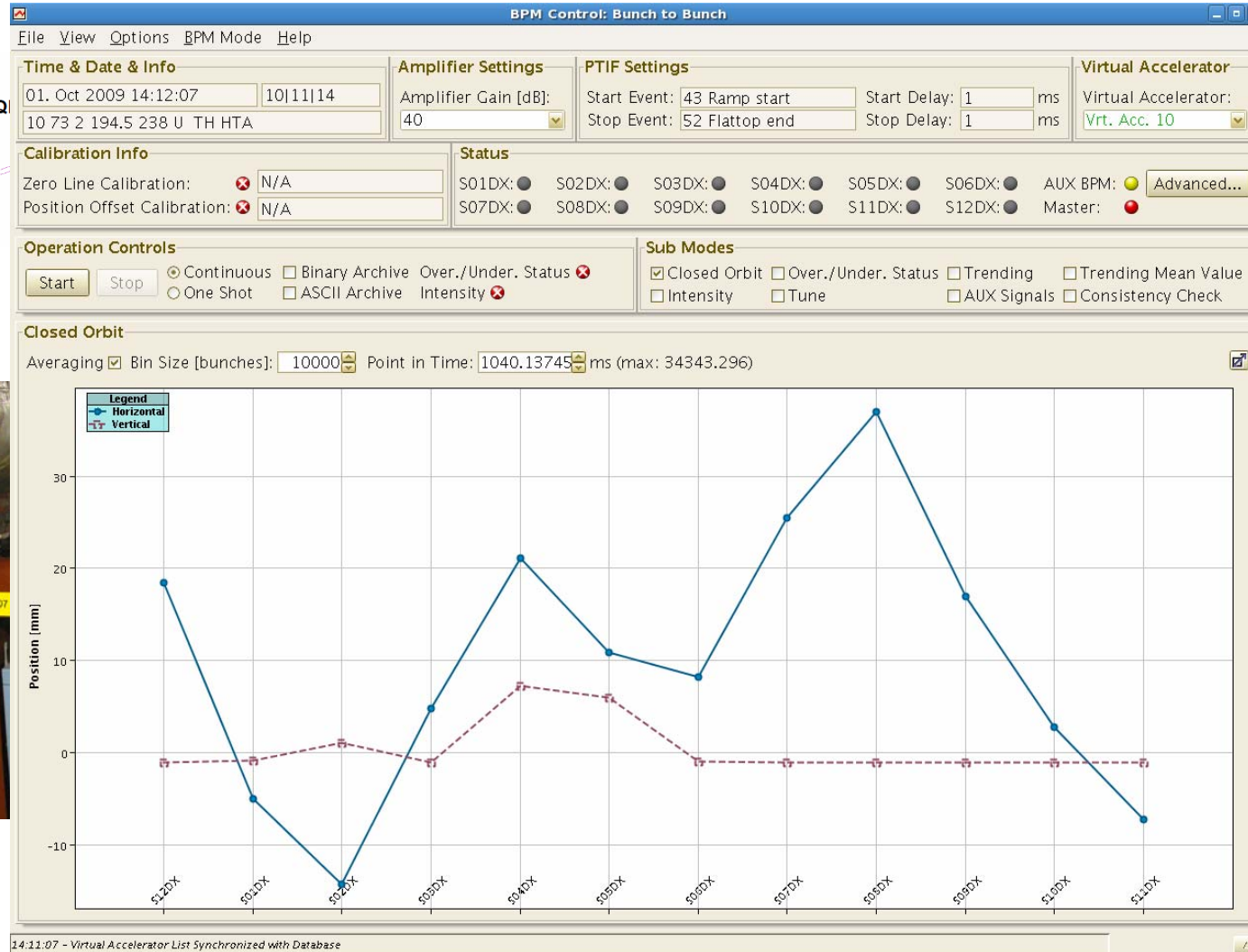
radial | vertikal | S08DX

100 [mm] vs [ms] graph (63-275)

Neuer Status: FFFFFFFF, FFFF7F, FFFB3F, FFFF7F, FFFB3F, FFFB3F, FFFF7F, FFFB3F, FFFB3F, FFFF7F

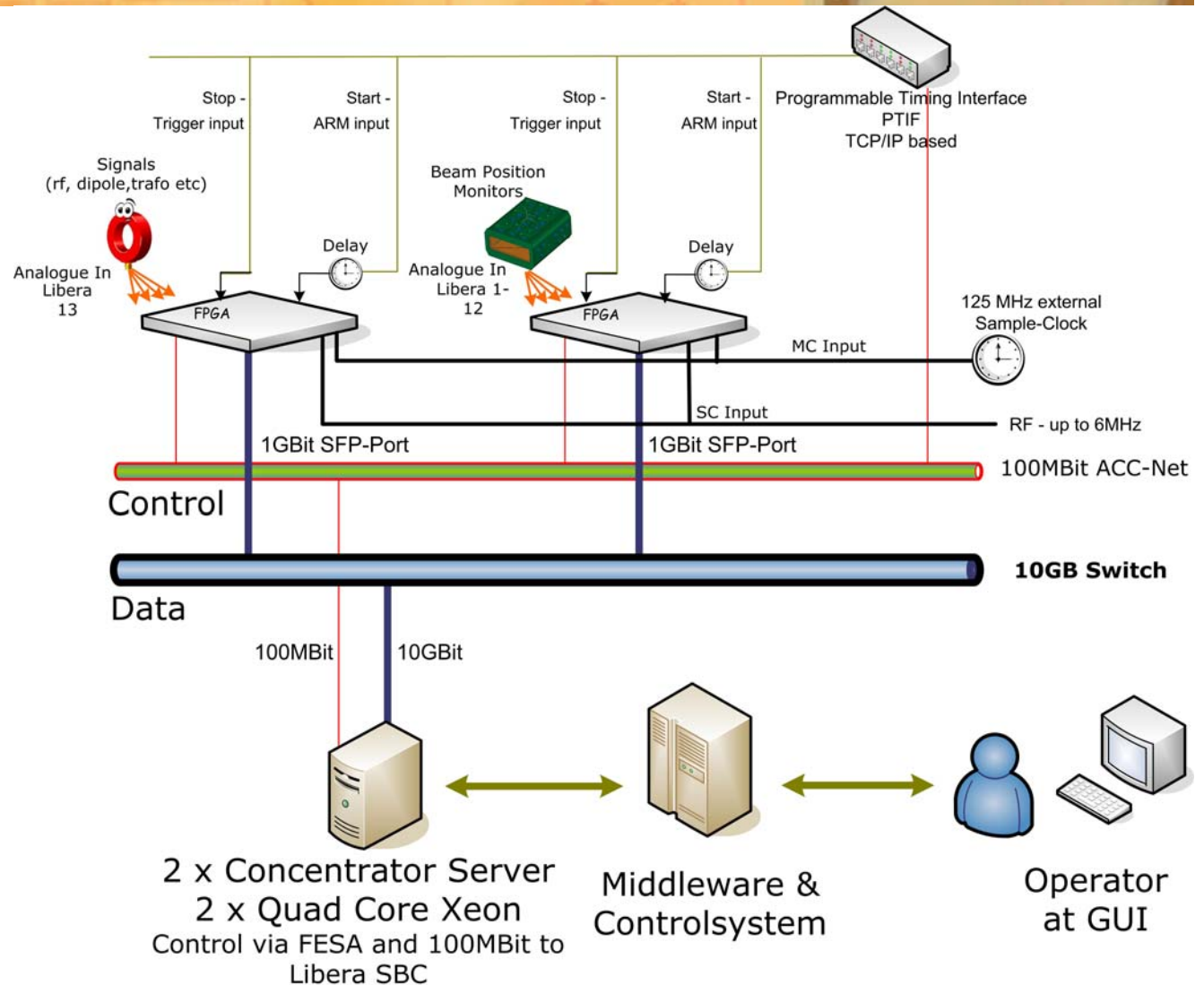


Was wird ersetzt bzw. kommt neu dazu

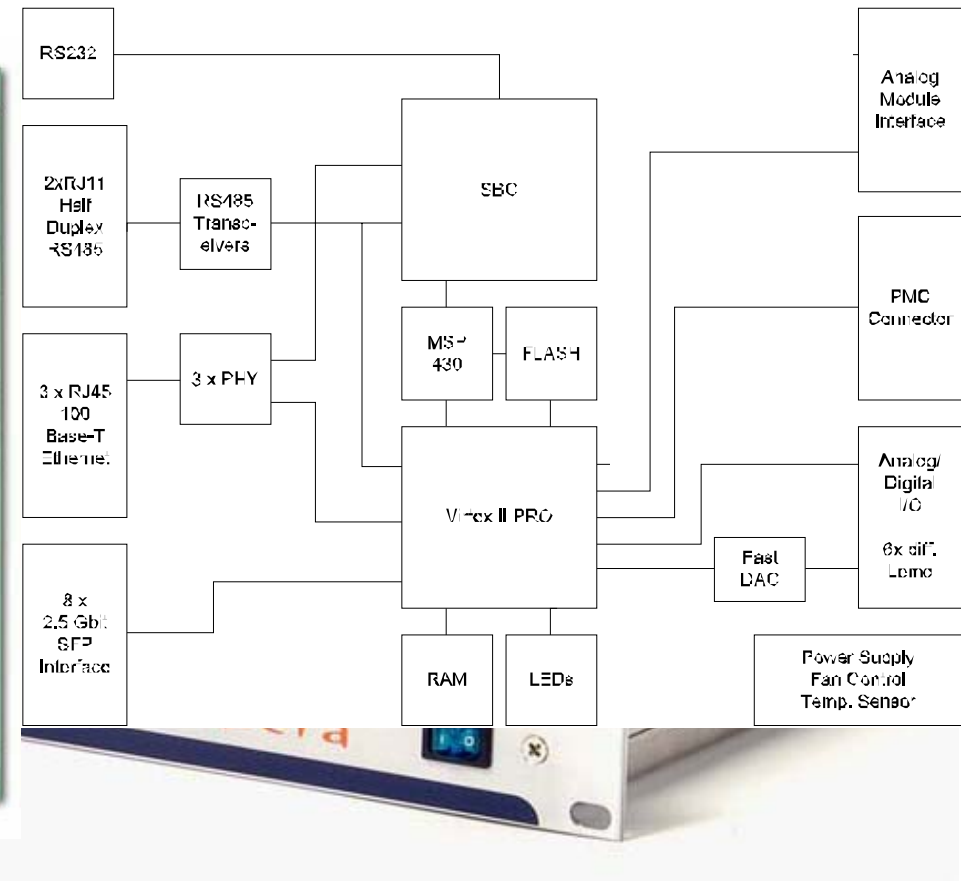
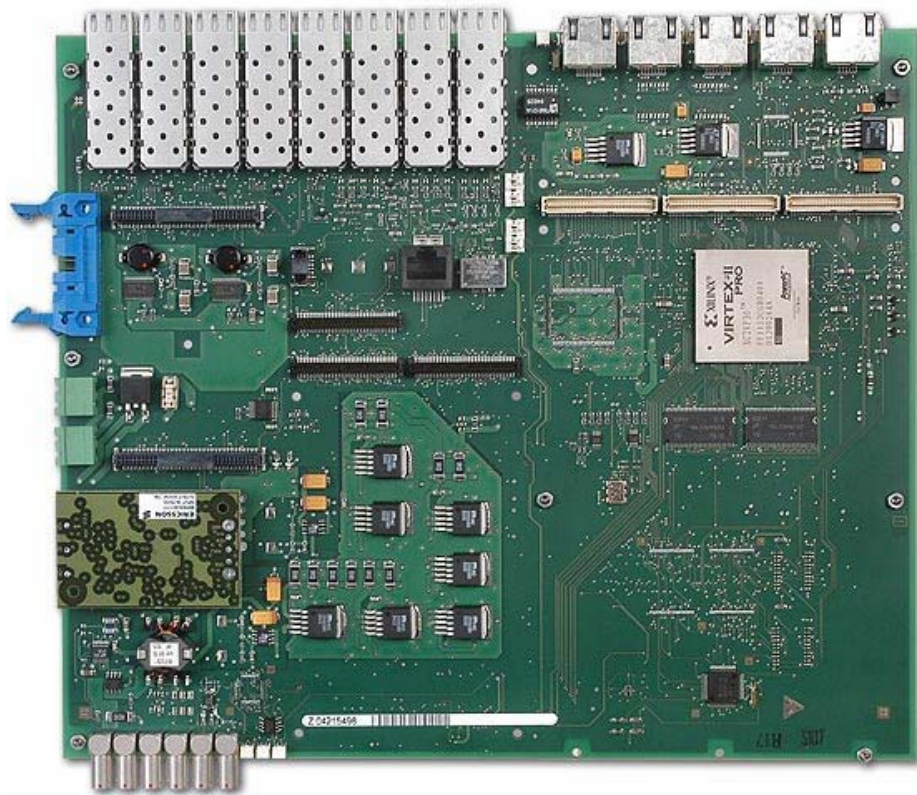


Hardware und Anforderungen zur Datenaufnahme

- Max. Datenrate von ≈ 68 MB/s pro Libera über Gbit Ethernet (5.6 MHz acc. freq.)
- 6 Liberas pro Concentrator Server. Plus eine AUX im System
- Max. Daten-Input von ≈ 400 MB/s pro Concentrator Server via 10 GBit Ethernet.
- Concentrator Server korrigiert Unterschiede der Verstärkerketten (Kalibration) and rechnet mit Sondenkonstanten die absoluten Positionen aus.
- Concentrator Server benutzt Timestamps zur Fehlerkorrektur

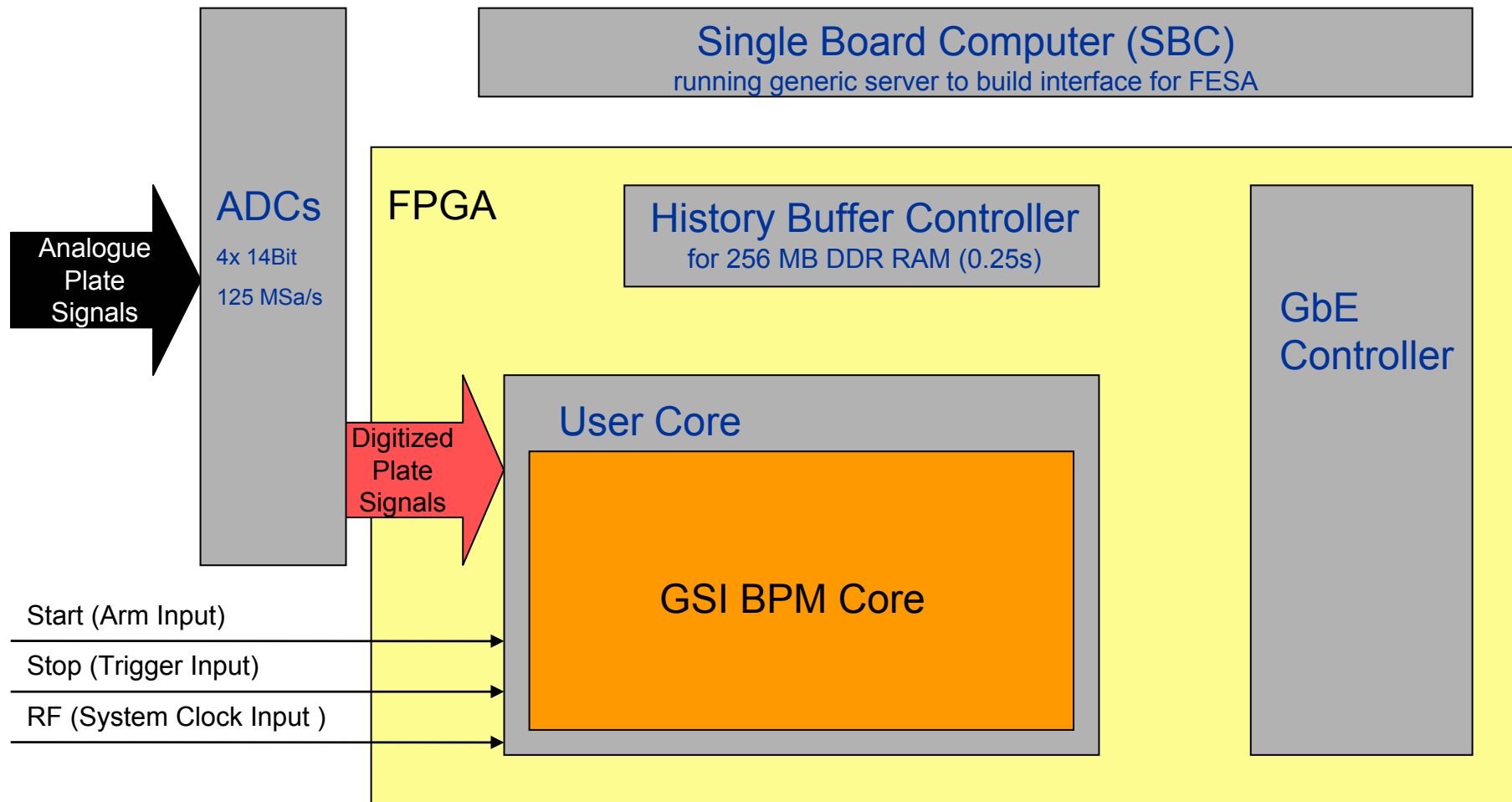


Libera Inside



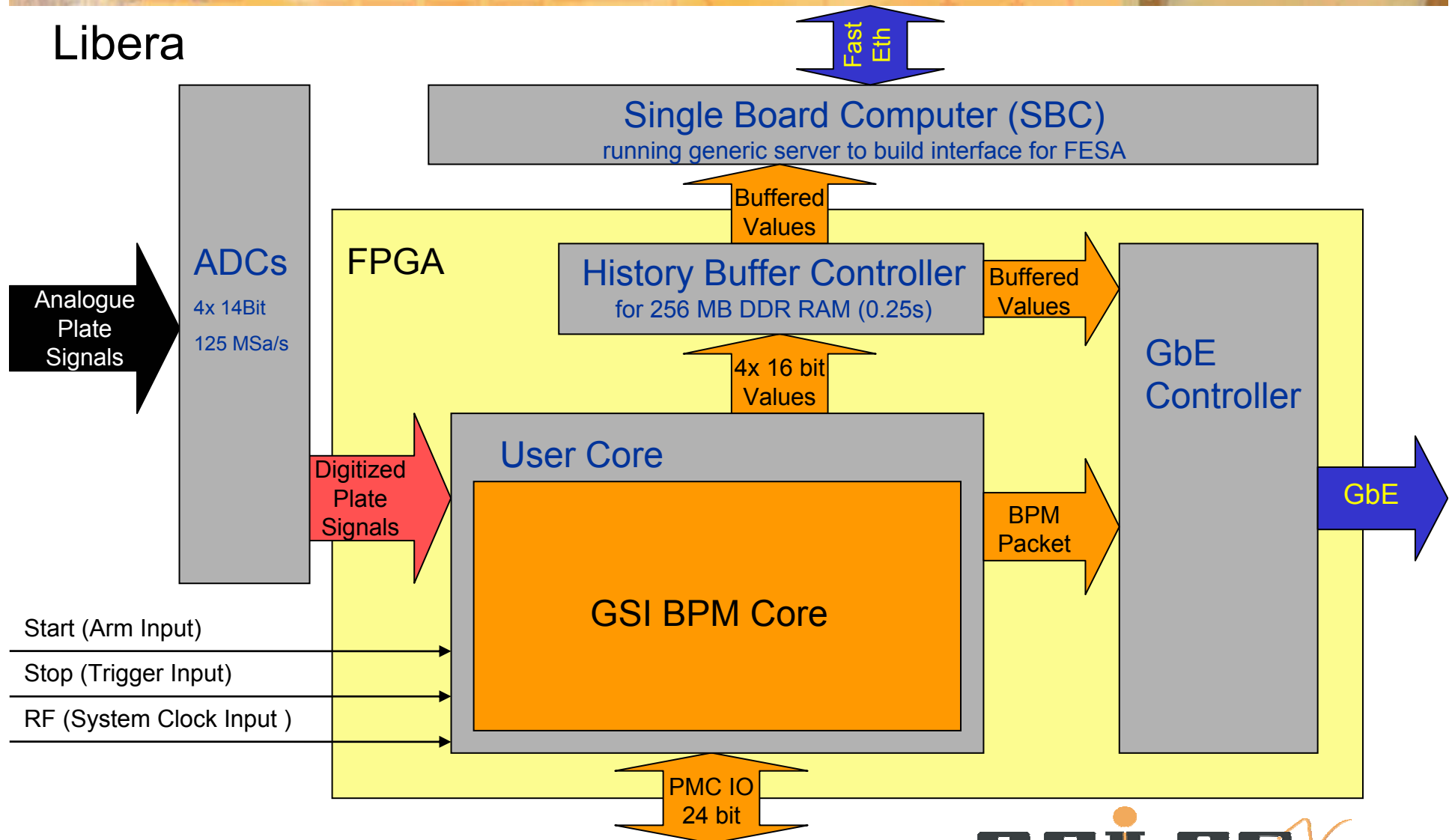
Libera User Core

Libera



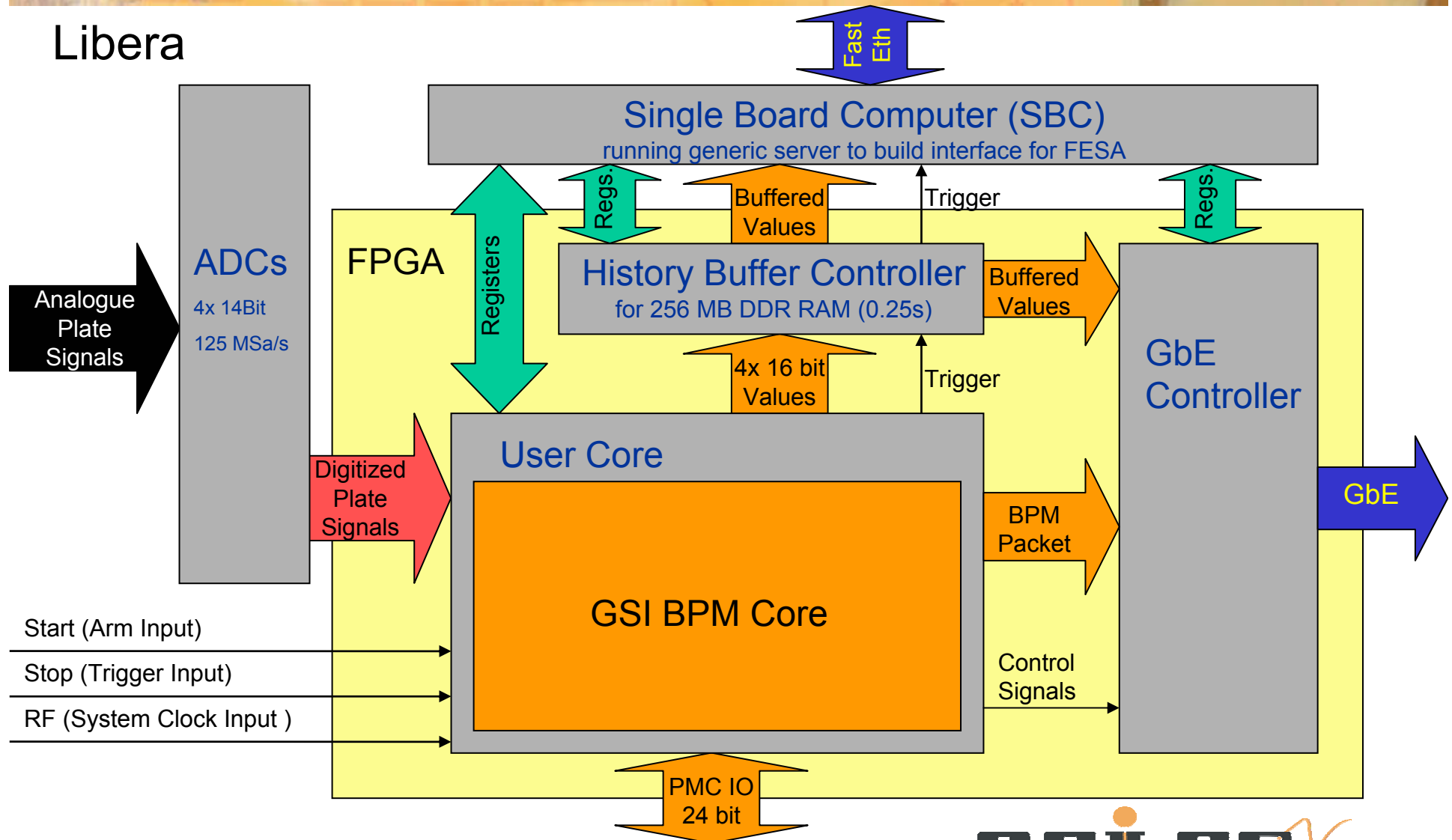
Libera User Core

Libera



Libera User Core

Libera



Was ist ein FPGA

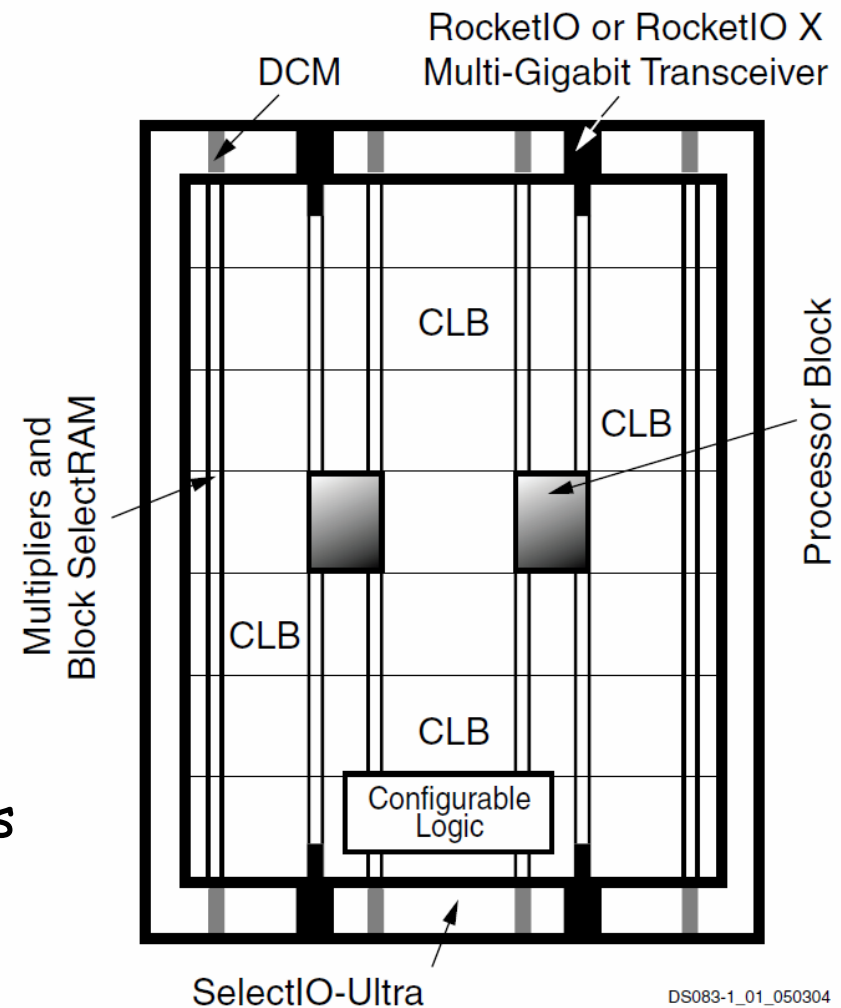
FPGA

Field (Im Einsatz)
Programmable
Gate (Logikgatter)
Array

Zusätzliche Virtex II Pro features:

- Block RAM
- 18x18 Multiplizierer
- Digital Clock Managers (DCM)
- Rocket IOs
- Power PC Processor Kern(e)

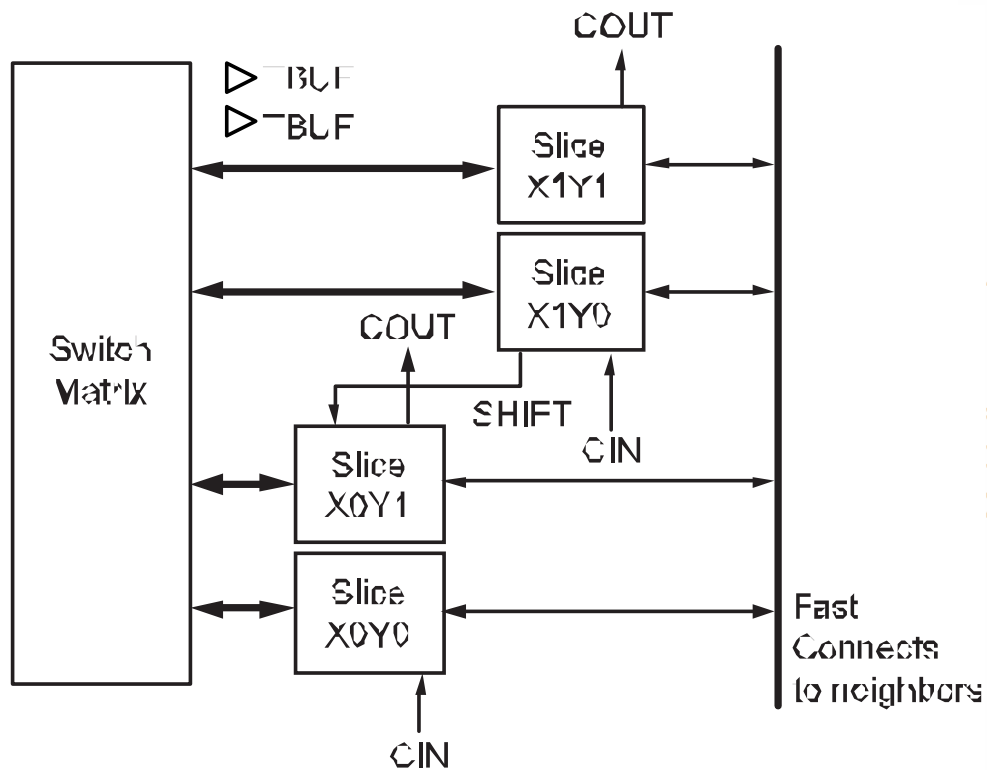
Wichtigster Bestandteil eines FPGAs
sind die CLBs!



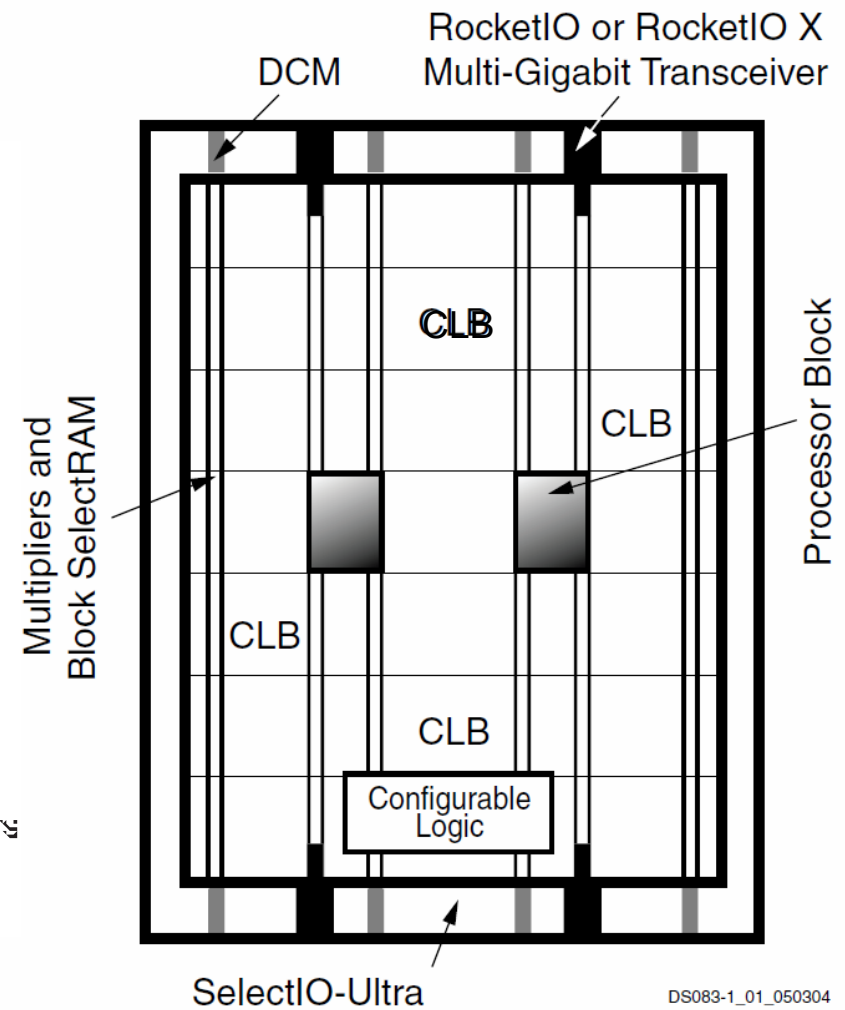
DS083-1_01_050304

CLB

CLB (Configurable Logic Block)



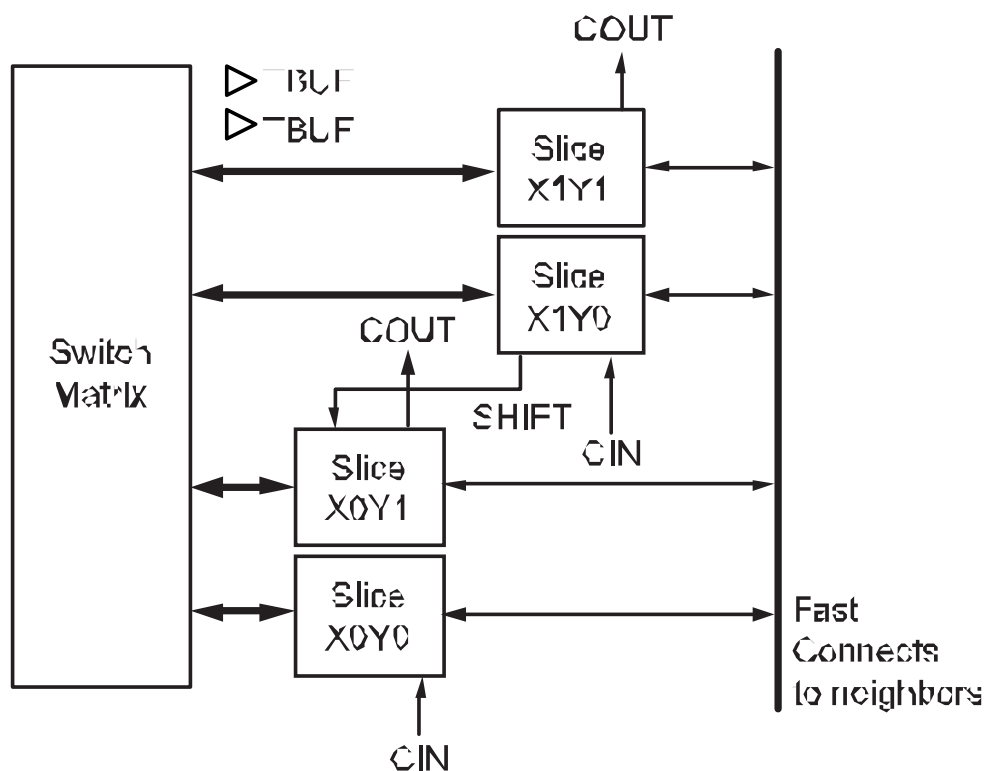
DS083-1_01_122001



DS083-1_01_050304

CLB

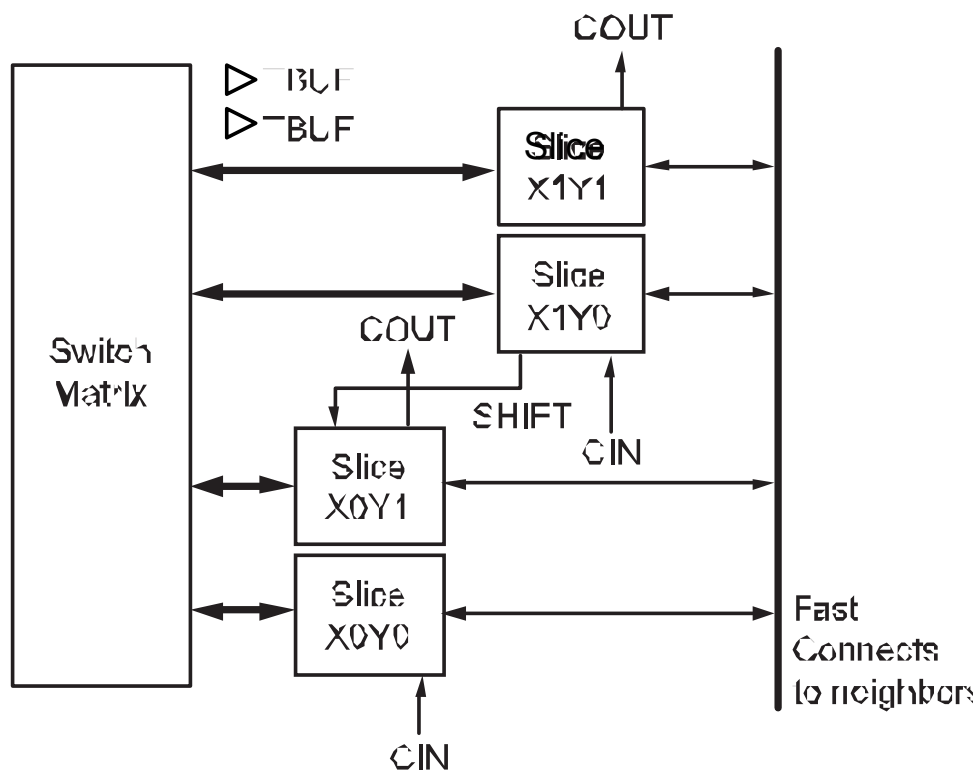
CLB (Configurable Logic Block)



- Vier **Slices** zur Verarbeitung digitaler Signale
- **Switch Matrix** zur variablen Verschaltung der einzelnen CLBs
- Auch als Tristate Buffer (**TBUF**) konfigurierbar.
- CLBs sind in mehreren Spalten untereinander angeordnet
- Besonders schnelle Verbindung für Addierer, Shiftregister etc.
- Switch Matrix und Slices werden statisch programmiert.

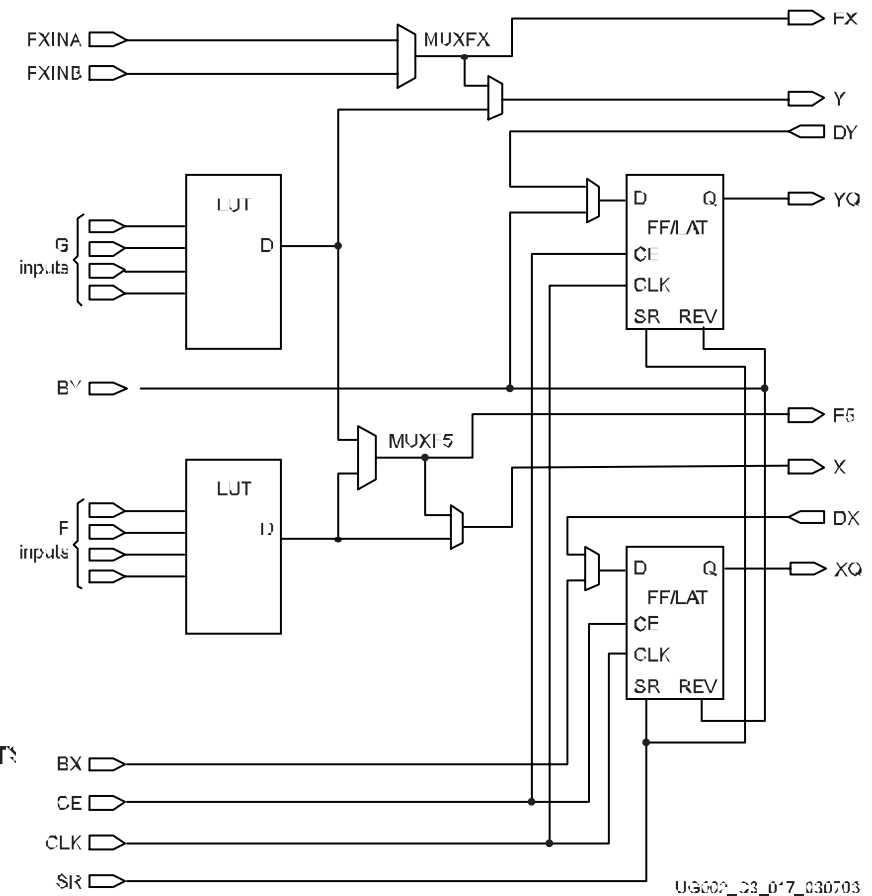
Slice

CLB (Configurable Logic Block)



US08_32_32_12200

Slice



US002_33_017_030703

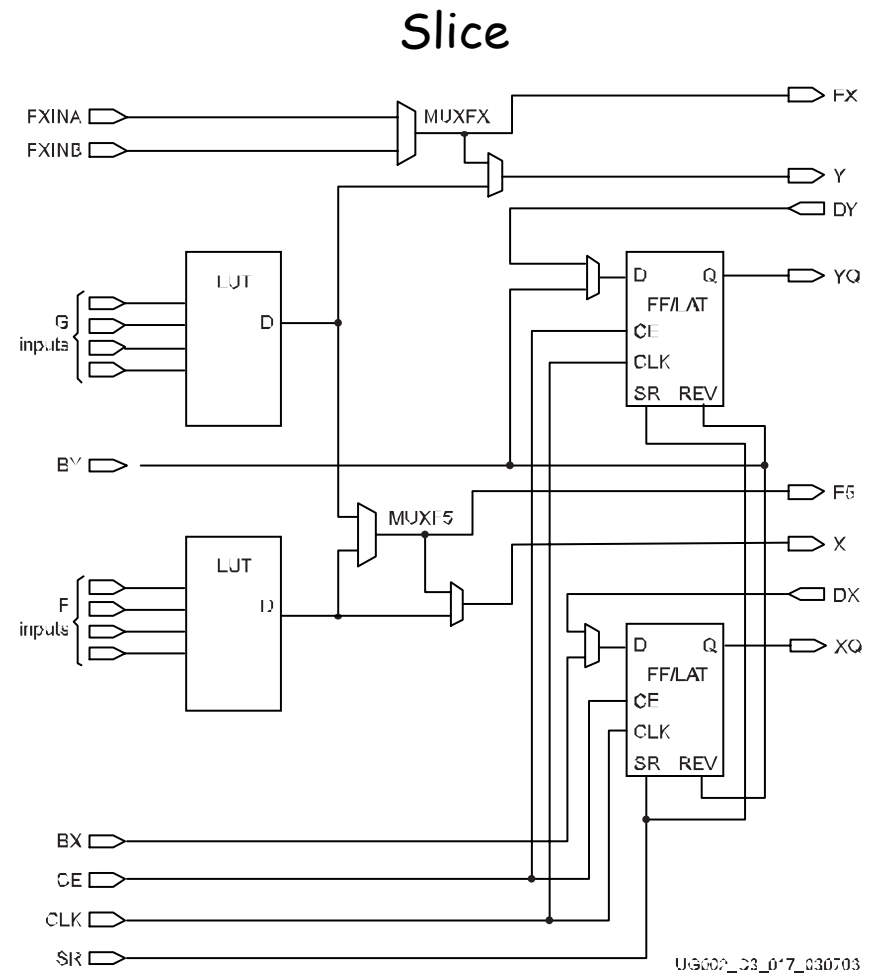
Slice

-Zwei Look Up Table (LUT) mit jeweils vier Eingängen und einem Ausgang zur Realisierung aller möglicher Logischer Verknüpfungen.

-Anstelle LUT auch als Shiftregister (SRL) oder RAM verwendbar.

-Multiplexer (MUX)

-2 Flip Flops (FF) bzw. Latches (LAT) zur Synchronisierung und/oder Speicherung



Vorteile gegenüber CPUs

Device ⁽¹⁾	RocketIO Transceiver Blocks	PowerPC Processor Blocks	Logic Cells ⁽²⁾	CLB (1 = 4 slices = max 128 bits)		18 X 18 Bit Multiplier Blocks	Block SelectRAM+		DCMs	Maximum User I/O Pads
				Slices	Max Distr RAM (Kb)		18 Kb Blocks	Max Block RAM (Kb)		
XC2VP30	8	2	30,816	13,696	428	136	136	2,448	8	644

Vorteil gegenüber CPUs: Viele Parallele Operationen möglich.

Beispiel XC2VP30 (Speedgrade 6) kann theoretisch maximal ca.:

800 parallele 32 Bit Additionen (16 Slices) pro Taktzyklus bei ca 250 MHz

400 parallele 64 Bit Additionen (32 Slices) pro Taktzyklus bei ca 190 MHz

CPU kann schnellstens höchstens eine Addition pro Takt durchführen

Nachteil: Wesentlich unflexibler.

Ressourcenverbrauch des Libera BPM Designs

Device ⁽¹⁾	RocketIO Transceiver Blocks	PowerPC Processor Blocks	Logic Cells ⁽²⁾	CLB (1 = 4 slices = max 128 bits)		18 X 18 Bit Multiplier Blocks	Block SelectRAM+		DCMs	Maximum User I/O Pads
				Slices	Max Distr RAM (Kb)		18 Kb Blocks	Max Block RAM (Kb)		
XC2VP30	8	2	30,816	13,696	428	136	136	2,448	8	644

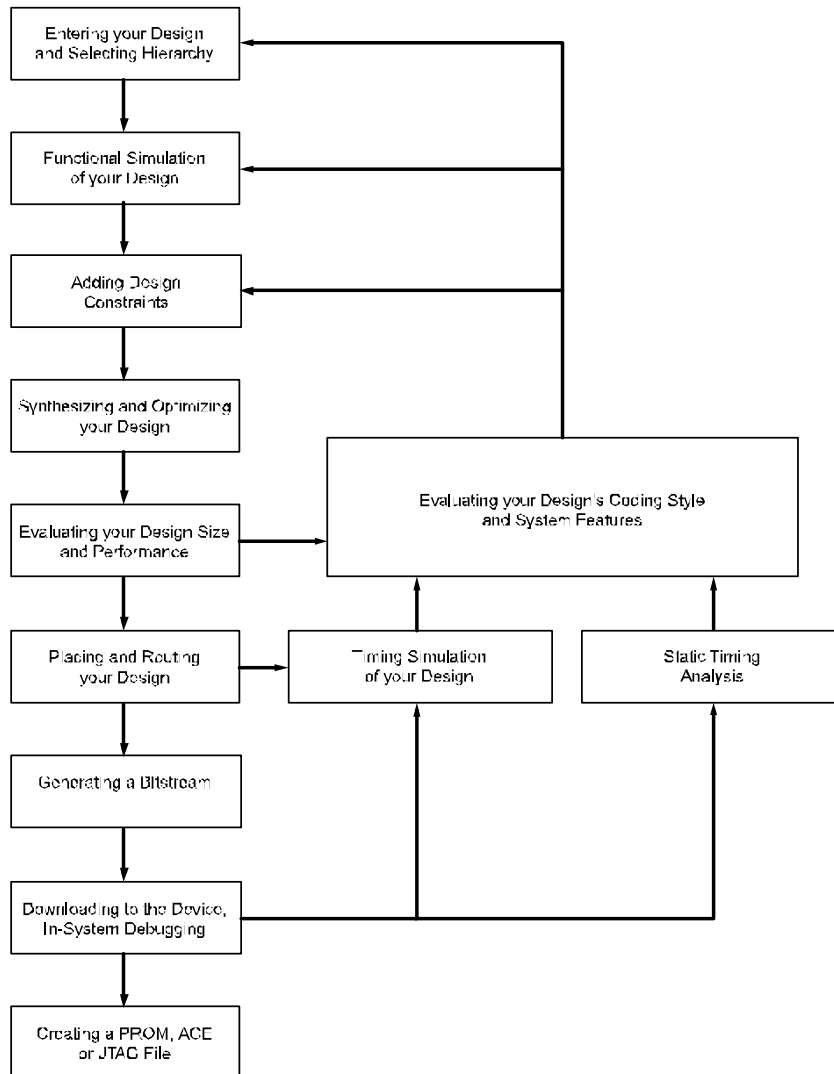
Synthesis Report:

Number of Slices:	5742	out of	13696	41%
Number of Slice Flip Flops:	7895	out of	27392	28%
Number of 4 input LUTs:	8055	out of	27392	29%
Number used as logic:	7768			
Number used as Shift registers:	143			
Number used as RAMs:	144			
Number of IOs:	279			
Number of bonded IOBs:	205	out of	644	31%
IOB Flip Flops:	61			
Number of BRAMs:	46	out of	136	33%
Number of MULT18X18s:	2	out of	136	1%
Number of GCLKs:	9	out of	16	56%
Number of GTs:	1	out of	8	12%
Number of DCMs:	4	out of	8	50%

Wie wird er programmiert

- Programmierung mit Hardware Beschreibungssprache (HDL) wie VHDL oder Verilog) oder mit Schaltplaneditor
- HDLs können im Gegensatz zu Software-Programmiersprachen zeitliche Abläufe und Gleichzeitigkeiten ausdrücken
- Umdenken von sequentielle in parallele Abläufe
- HDLs werden auch benutzt um die Testumgebung zu modellieren um das Design zu verifizieren.
- Nur ein Teil der Sprache, bezogen auf Syntax und Semantik, ist zur Synthese geeignet
- Umständlich zu programmieren

Design Flow



1. Erstellen des Designs
2. Erstellen des Testbenches
3. Zeitliche Rahmenbedingungen (Constraints) festlegen
4. Funktionelle Simulation nur anhand des Programmcodes
5. Synthese (Umwandlung in Netzliste)
6. Simulation mit Netzliste
7. Place and Route
8. Simulation
9. Download auf FPGA

Fenstererkennung

$$s = K \cdot \frac{\int \Delta}{\int \Sigma} + K_0$$

K: Pick-Up coefficient:

horizontal: 171 mm to 174.1 mm

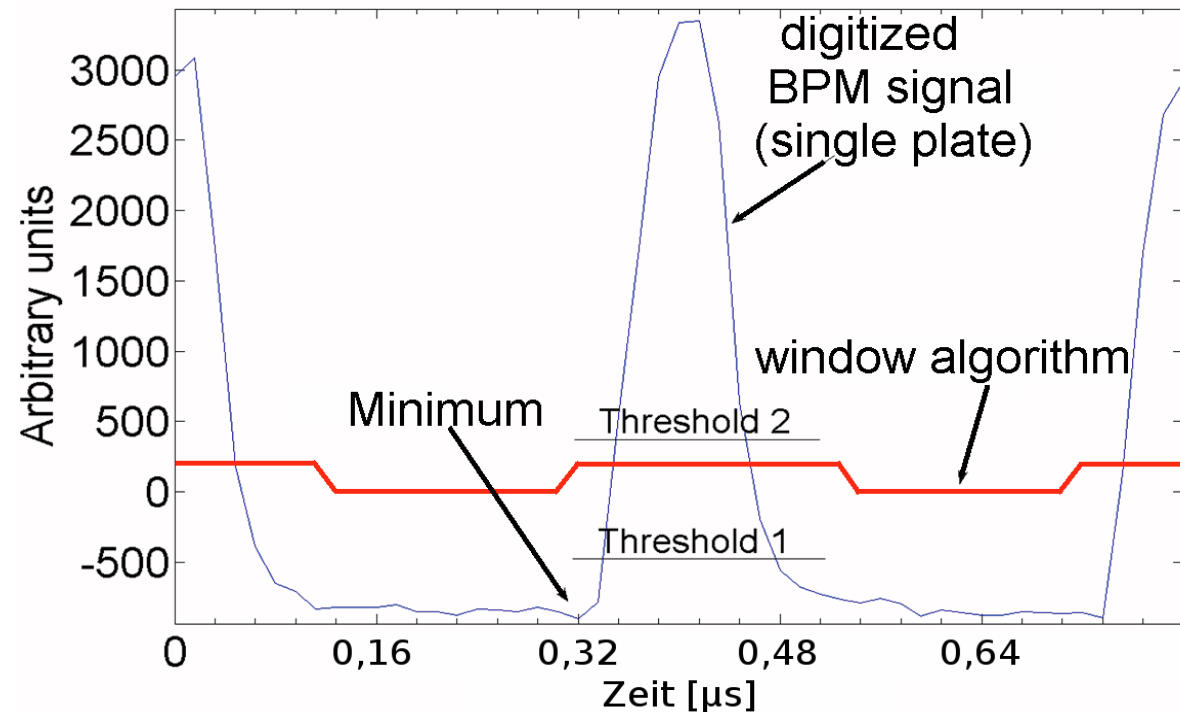
vertical: 50.3 mm to 51.5 mm

K₀: Pick-Up offset

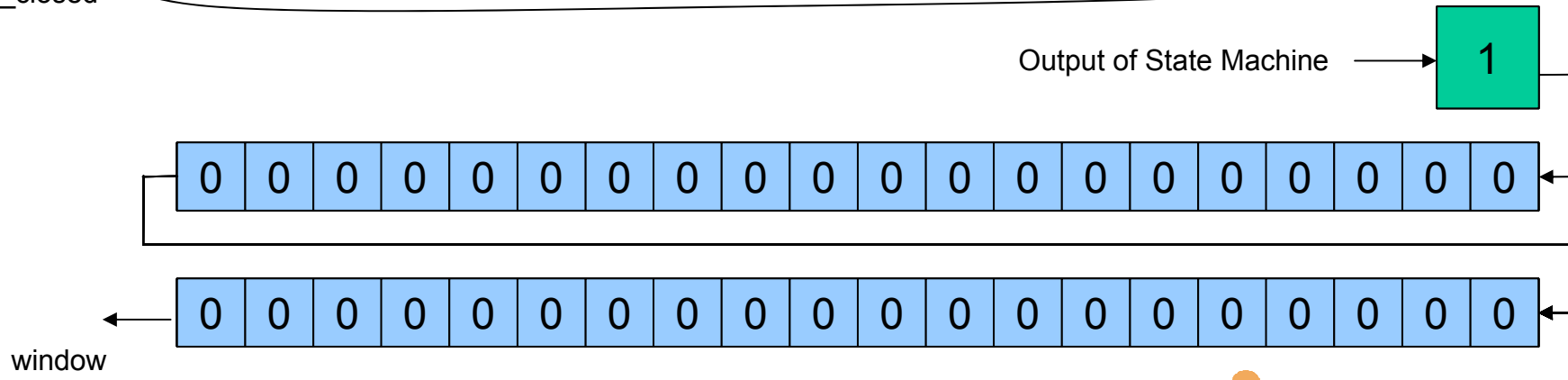
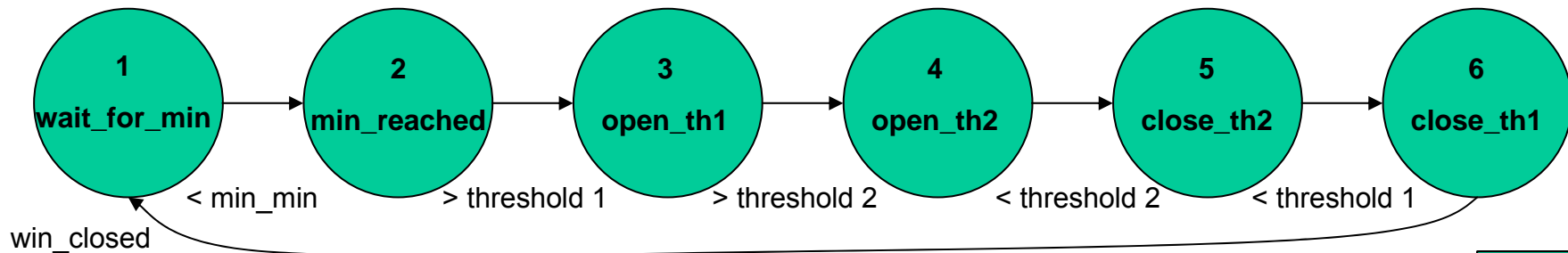
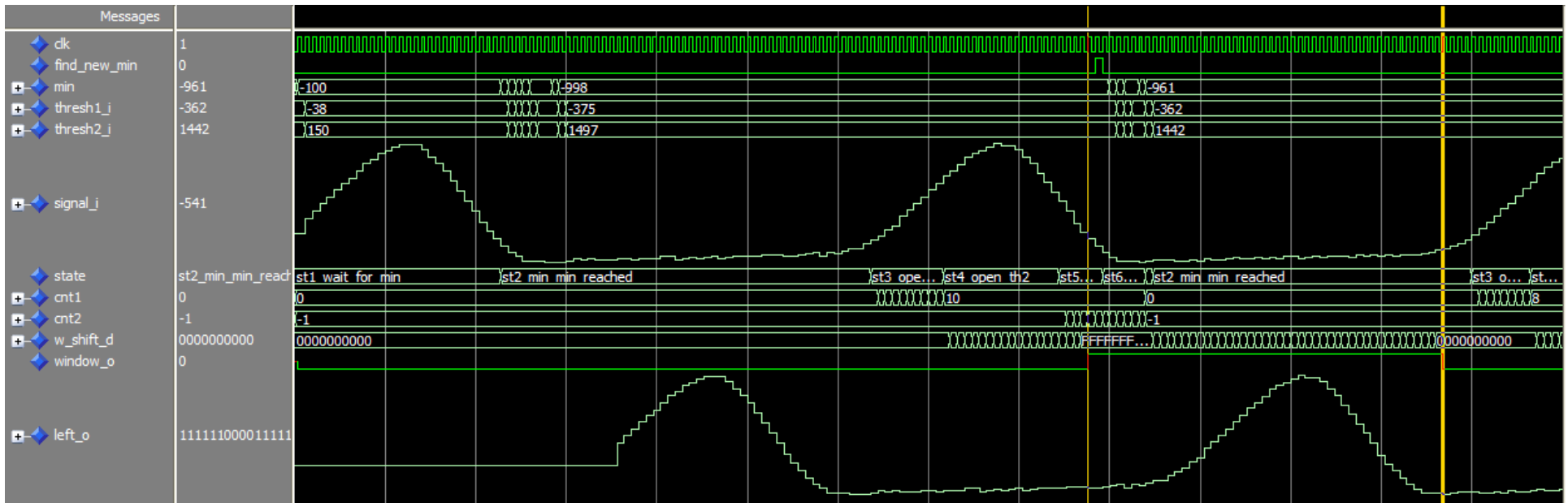
horizontal: -0.53 mm to 1.64 mm

vertical: -0.23 to 0.18
(vertical)

Window management

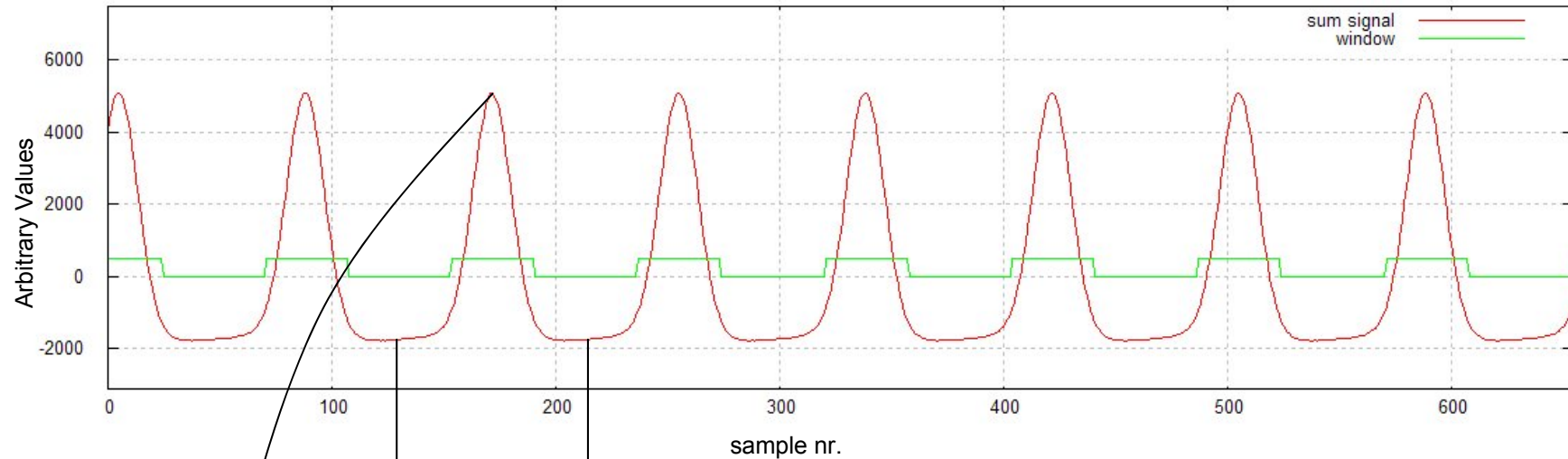


Integration is only done over the bunch. Therefore an integration window must be generated.



Baseline Restoration

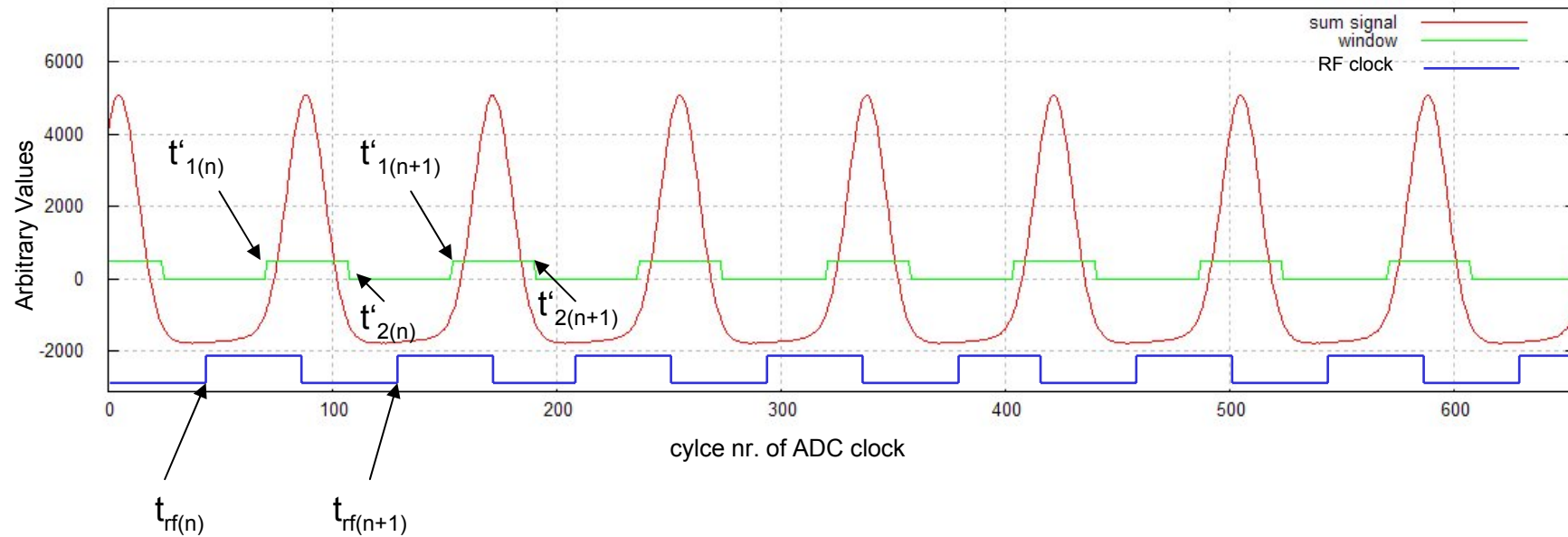
Generated Gaussian Signal (1.5MHz period)



$$y = x_t - \frac{(x_{(t-T/2)} + x_{(t+T/2)})}{2}$$

Max. period of T: 1.25 μ s (0.8KHz)
=> T/2 = 625ns = 79 samples

Timestamps



Drei Timestamps zur:

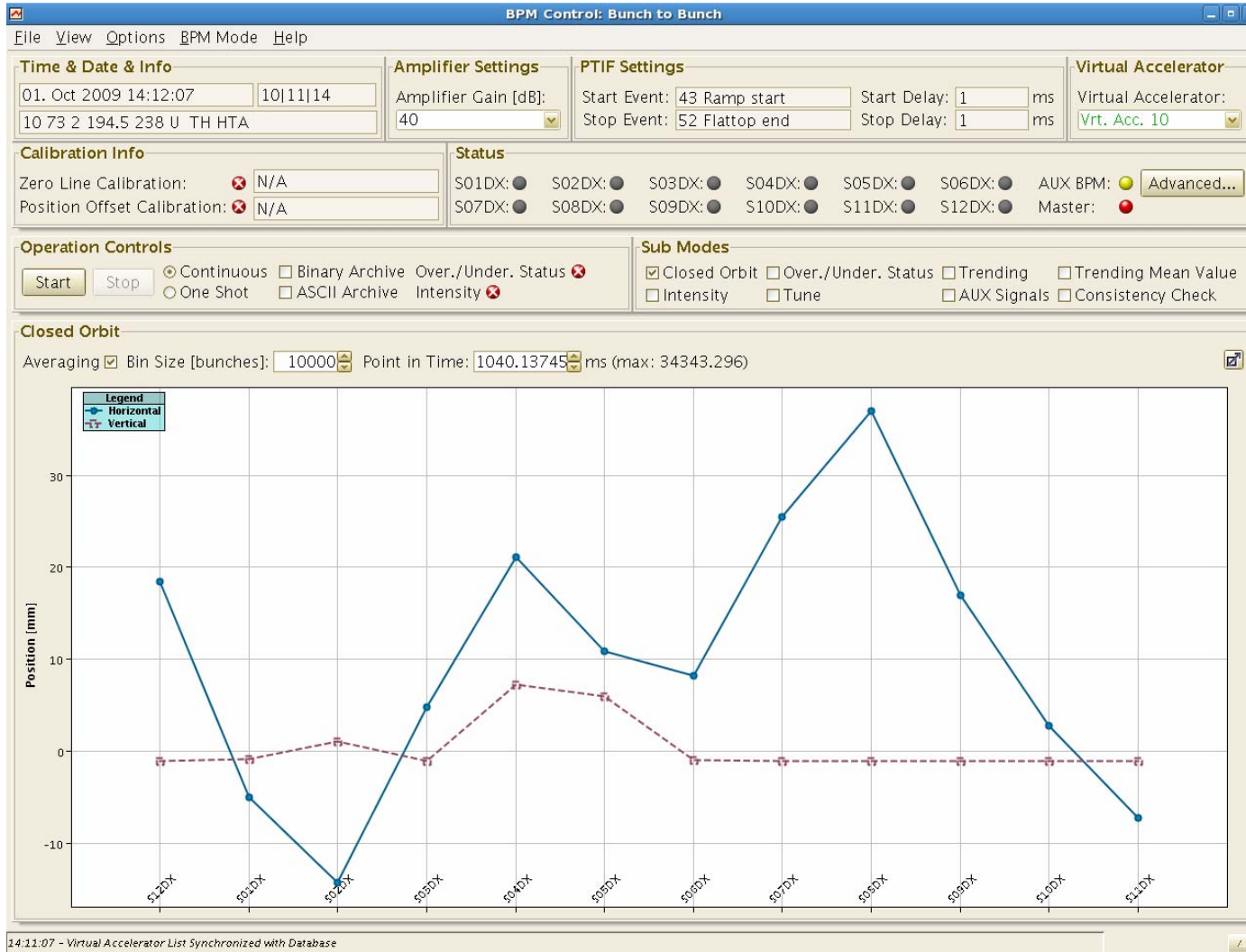
- Fehlererkennung
- Messung der Bunch Frequenz
- Länge der Integrationsfenster

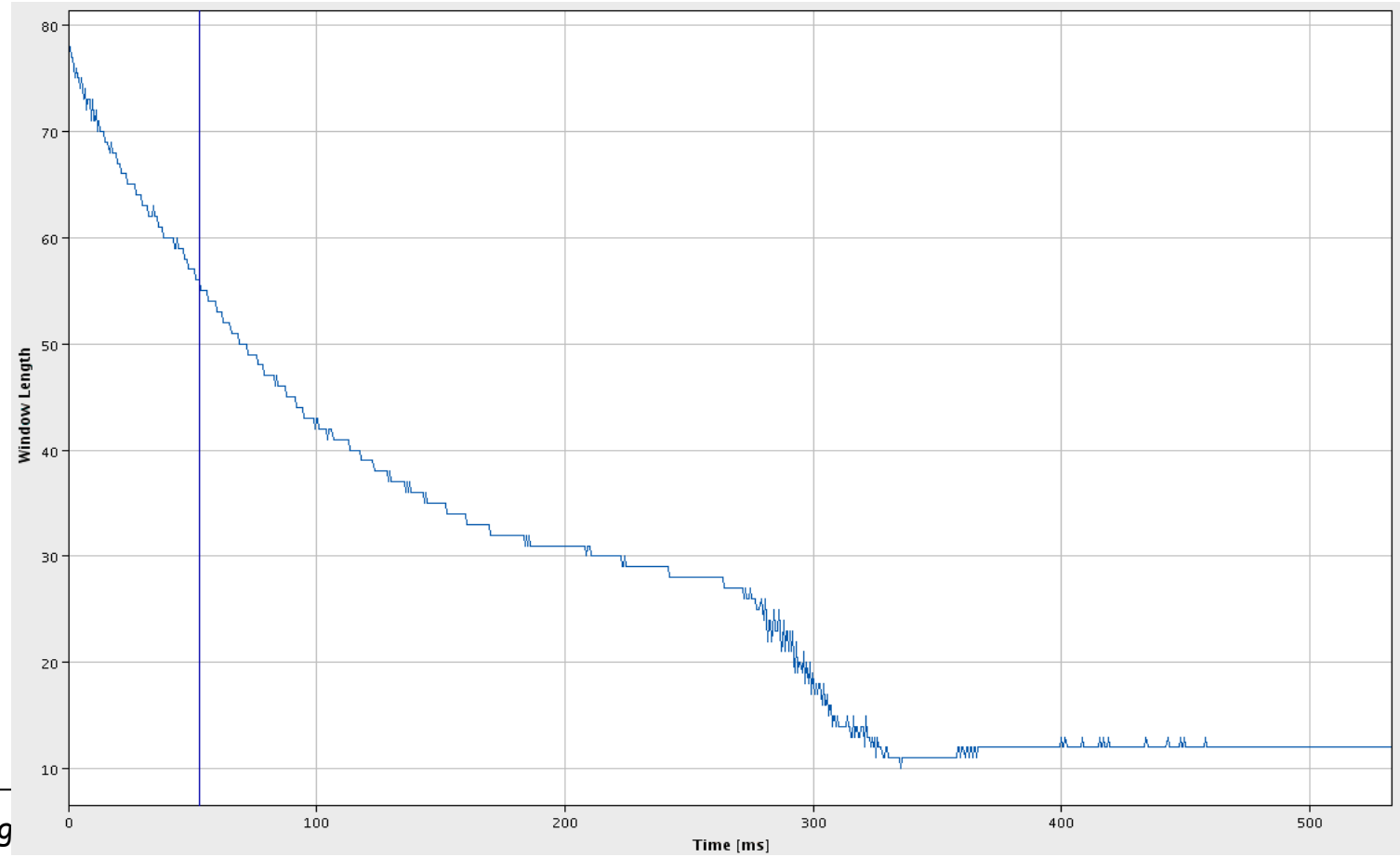
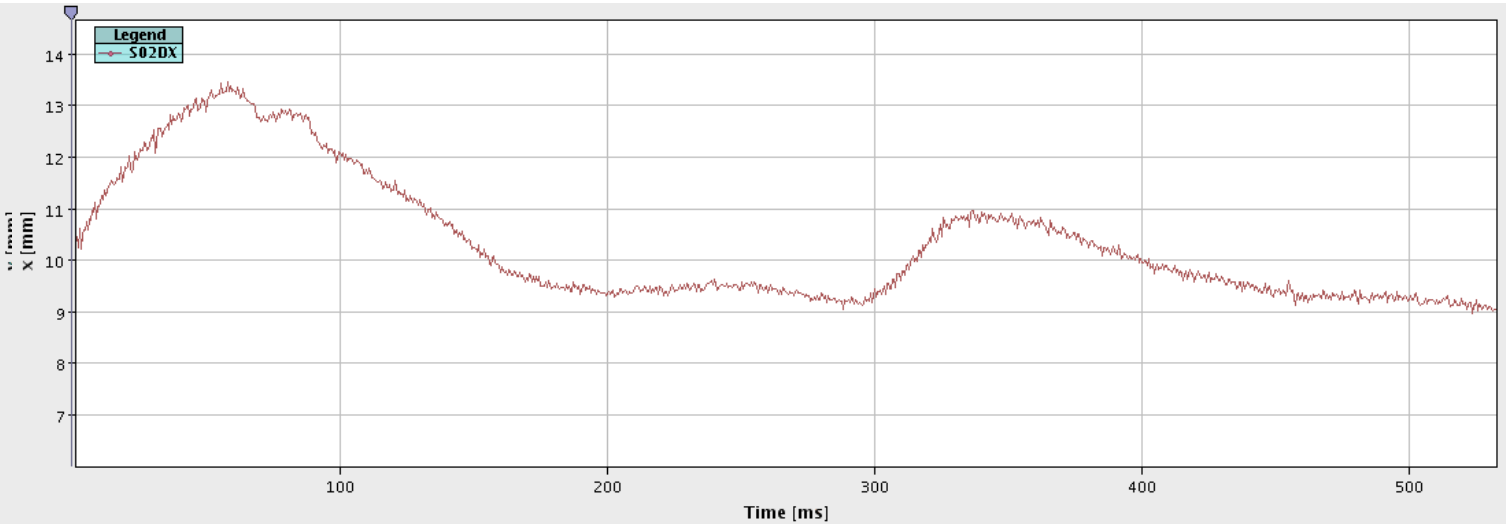
$t_{rf(n)}$ 16 bit absolute time

$t_{1(n)} = t'_{1(n)} - t_{rf(n)}$ 12 bit values.

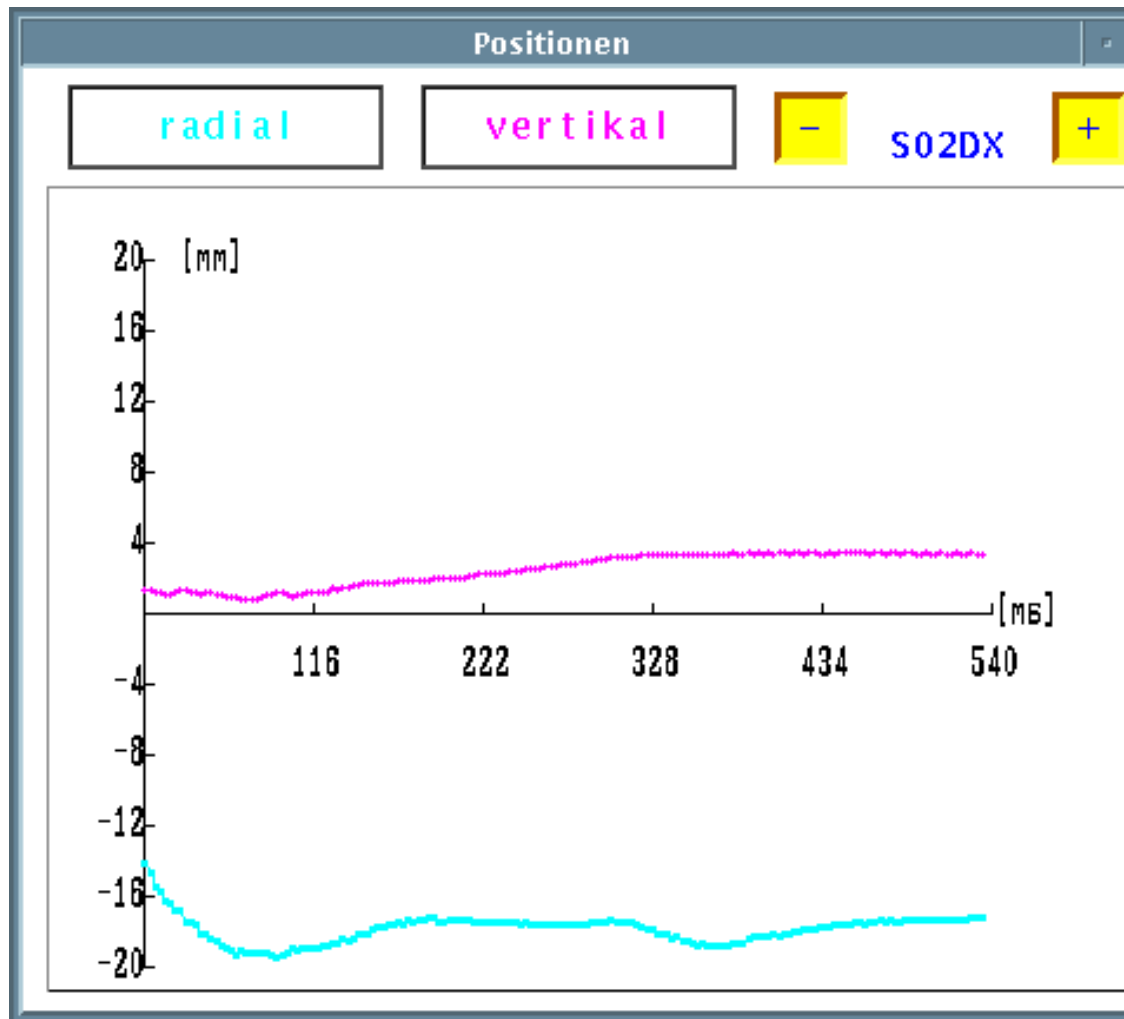
$t_{2(n)} = t'_{2(n)} - t_{rf(n)}$

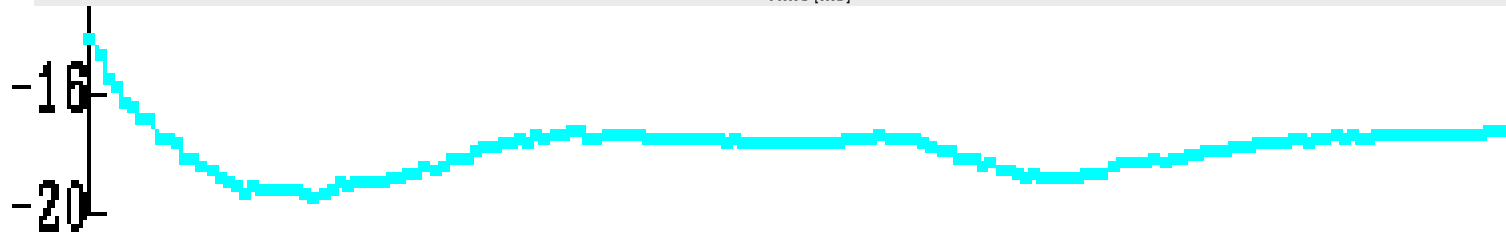
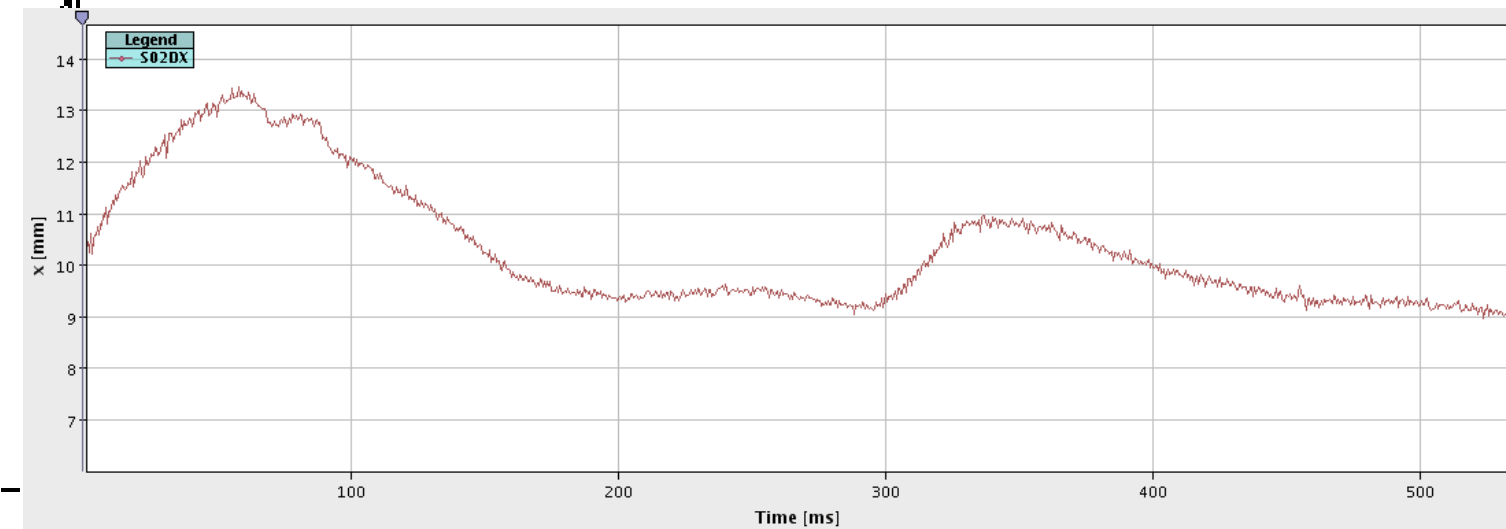
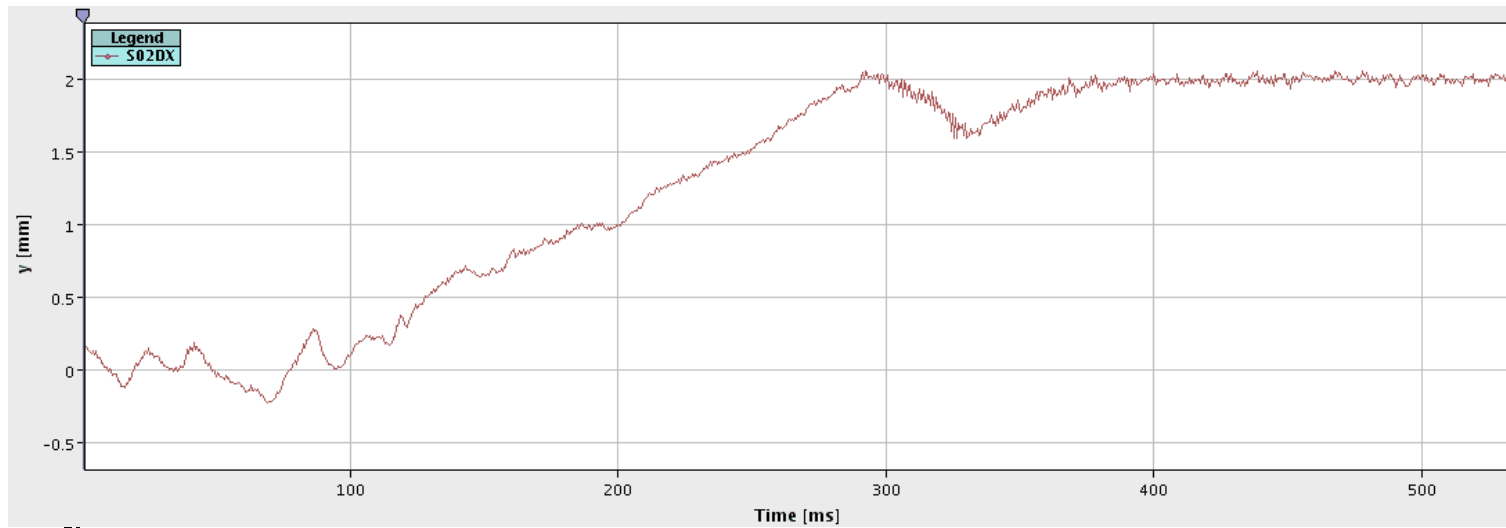
Neue BPM GUI





Ergebnisse





[ms]
10



Ende

Danke für die Aufmerksamkeit 😊



Gigabit Ethernet Interface

BPM Packet

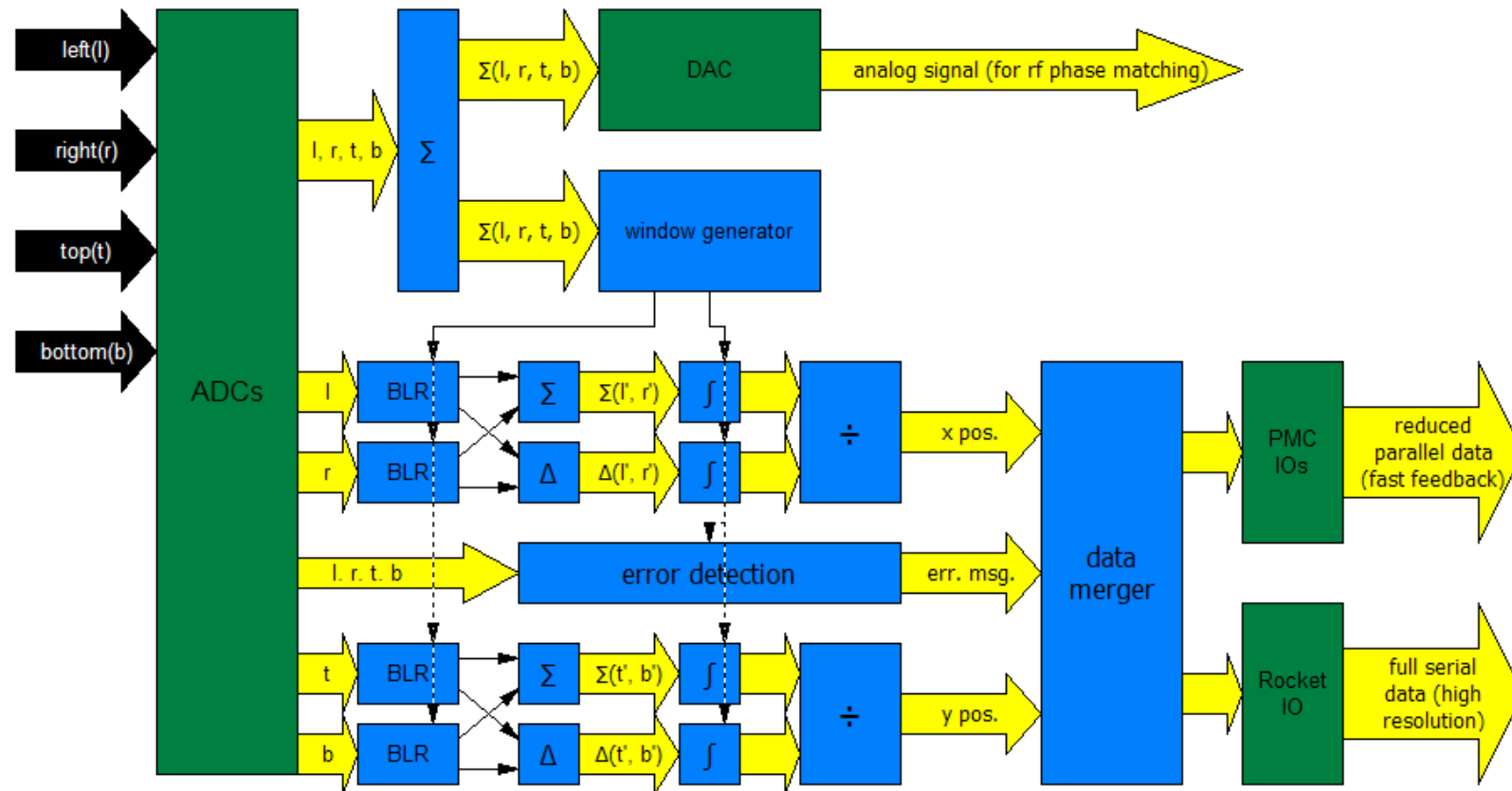
Position X	Overload Status	Position Y	Underload Status	t_1	t_2	t_{rf}	Intensity
22 bit	4 bit	22 bit	4 bit	12 bit	12 bit	16 bit	4 bit

BPM Frame (8192 bytes)

Header(s) ETH/IP/UDP	Size	Frame Type	Cycle Counter	Frame Counter	BPM Packet #0	BPM Packet #1	BPM Packet #677	CRC
42 bytes	2 bytes	2 bytes	2 bytes	4 bytes	12 bytes	12 bytes					4 bytes
					678 * 12 bytes = 8136 bytes						

- UDP als Transport Protocol
- Maximale Latenz der Positions Daten: 0.9ms (@0.8MHz acc. frequency)

FPGA Implementation



Fehler

Gekühlter Strahl anfang der Rampe und kurz vor Flattop

