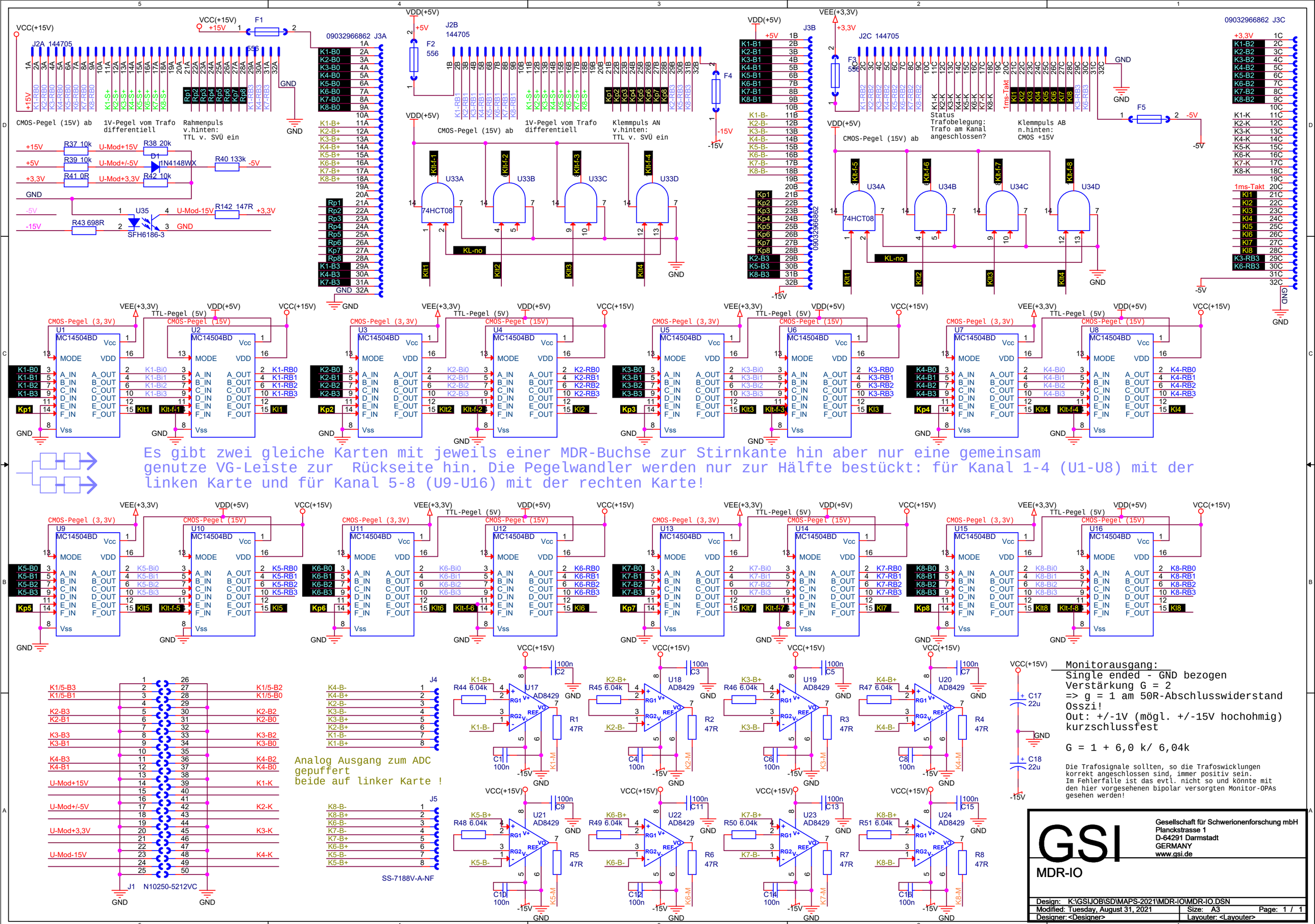
J2A 144705
J2B 144705
J2C 144705
J3A 09032966862
J3B 09032966862
J3C 09032966862
CMOS-Pegel (15V) ab
1V-Pegel vom Trafo differentiell
Rahmenpuls v.hinten: TTL v. SVÜ ein
Klemmpuls AN v.hinten: TTL v. SVÜ ein
Status Trafobelegung: Trafo am Kanal angeschlossen?
Klemmpuls AB n.hinten: CMOS +15V
U33A U33B U33C U33D 74HCT08
U34A U34B U34C U34D 74HCT08
U35 SFH6186-3
U1 U2 U3 U4 U5 U6 U7 U8 MC14504BD
CMOS-Pegel (3,3V)
CMOS-Pegel (15V)
TTL-Pegel (5V)
U9 U10 U11 U12 U13 U14 U15 U16 MC14504BD
U17 U18 U19 U20 U21 U22 U23 U24 AD8429
J1 N10250-5212VC
J4
J5
SS-7188V-A-NF
Analog Ausgang zum ADC gepuffert beide auf linker Karte !
Es gibt zwei gleiche Karten mit jeweils einer MDR-Buchse zur Stirnkante hin aber nur eine gemeinsam genutze VG-Leiste zur Rückseite hin. Die Pegelwandler werden nur zur Hälfte bestückt: für Kanal 1-4 (U1-U8) mit der linken Karte und für Kanal 5-8 (U9-U16) mit der rechten Karte!
Monitorausgang:
Single ended - GND bezogen
Verstärkung G = 2
=> g = 1 am 50R-Abschlusswiderstand
Osszi!
Out: +/-1V (mögl. +/-15V hochohmig)
kurzschlussfest
G = 1 + 6,0 k/ 6,04k
Die Trafosignale sollten, so die Trafoswicklungen korrekt angeschlossen sind, immer positiv sein.
Im Fehlerfalle ist das evtl. nicht so und könnte mit den hier vorgesehenen bipolar versorgten Monitor-OPAs gesehen werden!
GSI
Gesellschaft für Schwerionenforschung mbH
Planckstrasse 1
D-64291 Darmstadt
GERMANY
www.gsi.de
MDR-IO
Design: K:\GSI\JOB\SD\MAPS-2021\MDR-IO\MDR-IO.DSN
Modified: Tuesday, August 31, 2021
Size: A3
Page: 1 / 1
Designer: <Designer>
Layouter: <Layouter>